

ОЦІНКА ПАРАМЕТРІВ НАДІЙНОСТІ, ШВИДКОДІЇ ТА ВАРТОСТІ РІЗНИХ ТРИГЕРІВ

Ігор Васильцов ¹⁾, Богдан Мандзій ²⁾, Андрій Бенч ²⁾

1) Тернопільська академія народного господарства, інститут комп'ютерних інформаційних технологій, Україна

2) Національний університет "Львівська політехніка", Україна

Анотація: У даній статті розглядається підхід до оцінки найважливіших параметрів проектованої обчислювальної техніки. На основі запропонованого підходу розробник може оцінити надійність, швидкодію та вартість проектованого пристрою. Названі параметри можуть слугувати критеріями оптимізації, що дозволить обрати оптимальну структуру проектованого обчислювального пристрою ще на ранніх етапах проектування. Щоб проілюструвати запропонований підхід проаналізовано різні типи тригерів та проведено оцінку їх оптимізаційних критеріїв. Запропонований підхід може бути застосований при побудові засобів багатокритеріальної оптимізації на основі еволютивних алгоритмів.

Ключові слова: багатокритеріальна оптимізація на основі еволютивних алгоритмів, глобальні оптимізаційні критерії, функціональна надійність.

1. ВСТУП

Сучасні засоби обчислювальної техніки (ОТ) виконують важливі та складні функції. Рівень інтеграції сучасних засобів ОТ різко підвищується і сягає мільйона логічних елементів на кристалі. Все більше пристроїв будуються на основі ПЛІС, оскільки такий підхід дозволяє легко перебудовуватися на новий логічний базис, здійснювати часткову переробку проекту та адаптацію до заданих умов експлуатації і т. п. [1, 2]. В умовах високого рівня інтеграції розробник повинен одночасно вирішувати ряд складних, взаємопов'язаних, а доволі часто взаємопротилежних задач синтезу, аналізу та оптимізації. Це призводить до того, що часткова оптимізація одних частин проекту, як правило, деоптимізує проектні рішення в інших. Оскільки високий рівень інтеграції сучасних засобів ОТ не дає змоги розробнику одночасно дотримуватися усіх обмежень, то на сьогоднішній момент найскладнішою задачею є задача оптимізації [3]. Більше того, існує безліч оптимізаційних критеріїв, котрі необхідно враховувати на різних етапах проектування та виготовлення апаратури. Очевидно, що використання традиційних підходів програмування для знаходження найбільш вигідного рішення не дозволяє отримати оптимальну структуру проекту, і тому все більшого розвитку набуває еволютивне програмування.

У [4] розглянуто підхід до побудови еволю-

тивних алгоритмів багатокритеріальної оптимізації цифрових пристроїв, побудованих на ПЛІС. Для використання даного підходу було введено параметр "Критерій глобальної оптимізації." Під цим терміном автор розуміє три оптимізаційні критерії, що є найважливішими на етапах проектування, виготовлення та експлуатації обчислювальної апаратури: надійність, швидкодія, загальні витрати на проектування та виготовлення. У запропонованому підході використано ієрархічну модель проекту та обумовлено, що у випадку коли розробник володіє інформацією про критерії глобальної оптимізації на різних рівнях моделі, то можна побудувати спеціальні алгоритми для оптимізації структури проектованого пристрою.

Таким чином, задача побудови відповідних математичних моделей для оцінки критеріїв глобальної оптимізації конкретних компонентів обчислювальної апаратури є важливою та актуальною.

2. ЛОГІЧНИЙ БАЗИС ДЛЯ ПРИСТРОЇВ ПАМ'ЯТІ

Відомо, що логічним базисом для виготовлення пристроїв пам'яті слугують різні типи тригерів. На сьогодні розроблено багато різних схем структурної реалізації тригерів: від традиційних RS- та JK-тригерів до сучасних універсальних двовходових тригерів нетрадиційних типів логіки. Такі тригери можуть

працювати у режимі емуляції логіки роботи традиційних тригерів шляхом під'єднання певних сигналів на їх входи. Наприклад, на рис.1. зображено схему IP-тригера, а на рис.2 – та SP-тригера, побудованих в базисі І-НЕ. Щоб перевести ці тригери в режим емуляції логіки роботи D- тригера необхідно забезпечити такі під'єднання: $I = \bar{Q}$, $P = \bar{D}$ для IP-тригера та $S = 1$, $P = \bar{D}$ для SP-тригера.

Ефективність використання таких тригерів нетрадиційних типів логіки полягає у можливості легкої зміни необхідного режиму роботи шляхом лише комутування сигналів на входах. В такому випадку можна розробляти спеціалізовані засоби ОТ, які конструктивно побудовані на одному логічному базисі, проте можуть функціонувати в багатьох режимах емуляції логіки роботи традиційних тригерів. Такий підхід дозволяє зменшити загальні витрати на побудову пристрою, без зміни його функціональності.

На рис.3 та рис.4 зображено схеми традиційних RS- та JK-тригерів, побудованих за MS (“master-slave”) структурою.

Зрозуміло, що відповідно до певної структурної реалізації кожен тригер буде володіти різними критеріями глобальної оптимізації. В даній статті автори розглядають проблему побудови математичних моделей для оцінки надійності, швидкодії та вартості для таких типів тригерів: IP, SP, JK, RS. Очевидно, що запропонований підхід може бути використаний для побудови моделей для тригерів інших типів.

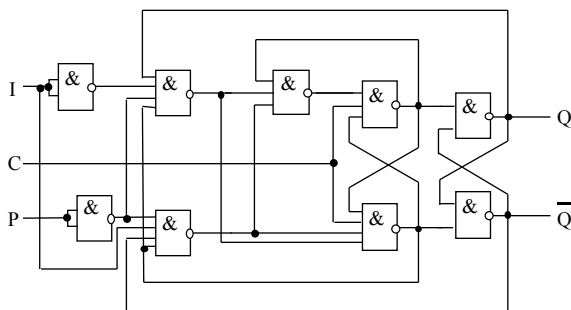


Рис.1 - Схема IP - тригера

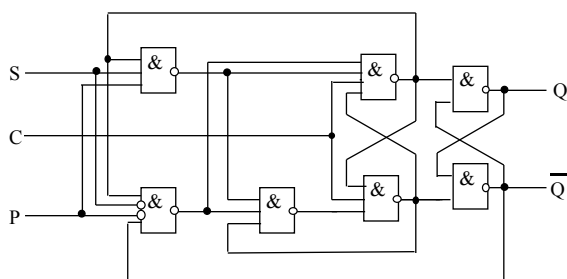


Рис.2 - Схема SP - тригера

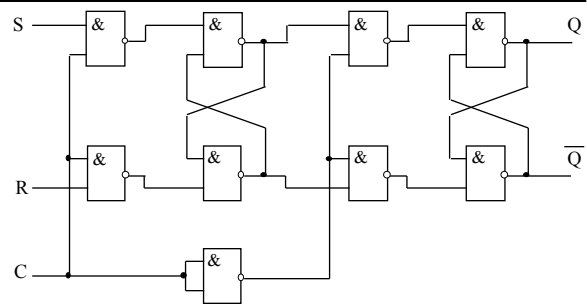


Рис.3 - Схема RS - тригера

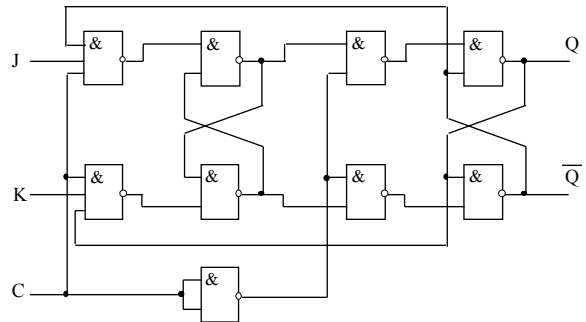


Рис.4 - Схема JK - тригера

3. ОЦІНКА КРИТЕРІЇВ ГЛОБАЛЬНОЇ ОПТИМІЗАЦІЇ

Як було зазначено вище, під критеріями глобальної оптимізації ми розглядаємо три найактуальніші з точки зору розробника: функціональна надійність, швидкодія та загальні витрати на проектування та виготовлення.

Традиційний підхід до оцінки параметрів функціональної надійності цифрових пристроїв приймає спрощену гіпотезу, що усі логічні елементи пристрою знаходяться у стабільному стані. В такому випадку ймовірність нормального функціонування обчислювального компонента визначатиметься таким чином:

$$P = 1 - N \cdot \left(\frac{q_0 + q_1}{2} \right), \quad (1)$$

де N - кількість логічних елементів у схемі компонента; q_0, q_1 - імовірності появи збою при однократному перемиканні логічного елемента. Зрозуміло, що у випадку, коли кількість логічних елементів у різних альтернативних варіантах структурної реалізації є рівною, то вибрати обґрунтовано котрийсь із них для розробника доволі важко. Більше того, традиційний підхід не враховує специфіки вхідних комбінацій, що подаються на вхід цифрового пристрою.

Тому, розробник вимушений оцінити надійнісні параметри пристрою в динамічному режимі. Для цього необхідно володіти інформацією про

те, які елементи та в якій послідовності перемикаються під дією вхідних імпульсів, а також параметри затримок логічних елементів. Така інформація є доступною вже на етапі логічного моделювання ВІС, а тому оцінка параметрів надійності може виконуватись одночасно з логічним моделюванням[4]. Раніше авторами було розроблено спеціальні програмні засоби, котрі дозволяли отримати оцінку надійнісних параметрів проєктованого пристрою при дії певного набору вхідних імпульсів.

Оцінка загальних витрат на проєктування та виготовлення апаратури може бути визначена як зважена сума вартостей компонент нижчого рівня ієрархії. Тому в першому наближенні можна запропонувати таке співвідношення:

$$C_t = \sum_i w_i \cdot C_{ci} , \quad (2)$$

де C_t – загальна вартість пристрою ОТ; w_i – коефіцієнт ваги i -того компонента; C_{ci} – вартість i -того компонента. При необхідності можна використати складніші співвідношення, котрі враховують, наприклад, особливості експлуатації та швидкість амортизації, тощо.

Для оцінки параметрів швидкодії необхідно враховувати параметри затримки спрацювання кожного логічного елемента, на яких побудована схема. Необхідно брати до уваги найгірший випадок, тобто вибирати варіант найдовшого спрацювання схеми (найбільшу можливу кількість логічних елементів у ланцюжку по котрому поширюється сигнал). В такому випадку можна запропонувати таке співвідношення:

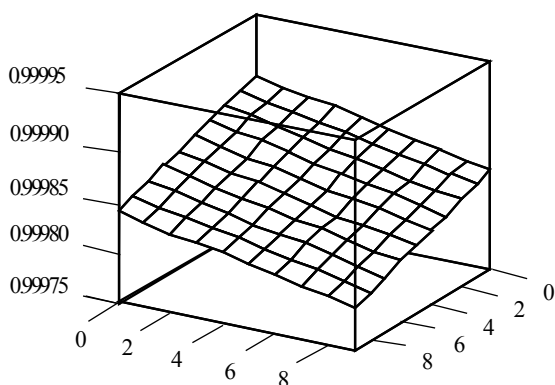


Рис.5 - Тенденції імовірності правильного функціонування ІР - тригера

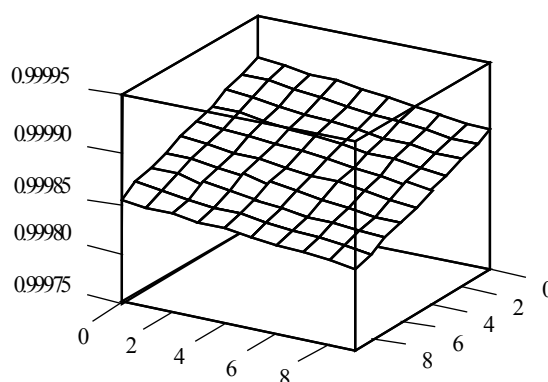


Рис.6 - Тенденції імовірності правильного функціонування SP - тригера

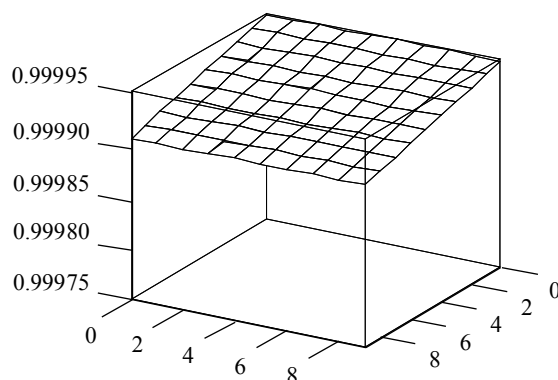


Рис.7 - Тенденції імовірності правильного функціонування RS - тригера

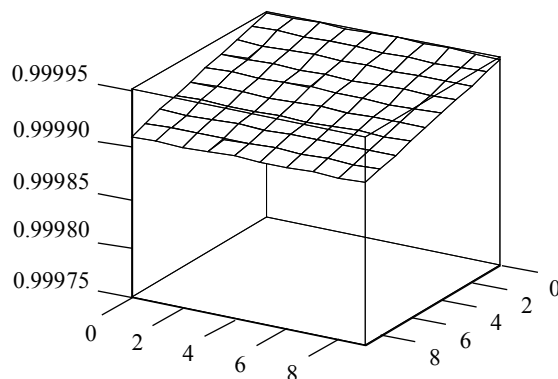


Рис.8 - Тенденції імовірності правильного функціонування JK - тригера

$$S = \frac{1}{\max \left\{ \sum_i d_i \right\}} , \quad (3)$$

де S – швидкість роботи компонента ОТ; d_i – час затримки i -того логічного елемента, котрий знаходиться в ланцюжку по котрому поширюється інформаційний сигнал; $\max\{*\}$ – максимальне значення часу затримки серед наборів можливих варіантів. Для деяких особливих випадків необхідно враховувати

кількість необхідних ітерацій, щоб перевести компонент в стабільний режим.

4. ДОСЛІДЖЕННЯ ПАРАМЕТРІВ ТРИГЕРІВ

На основі теоретичних положень висвітлених вище було проведено дослідження параметрів тригерів шляхом комп'ютерної симуляції.

На рис. 5-8 зображено тенденції імовірності правильного функціонування досліджуваних типів тригерів. Для симуляції використані такі вхідні параметри: значення імовірності появи збою на виході логічного елемента при його однократному перемиканні змінювалося від $1E-6$ до $2E-6$ для обох типів переходів "0"®"1" та "1"®"0"; вхідні комбінації були ті ж самі і діляти протягом часу 200ms.

Аналіз рис.5-8 показав, що для таких вхідних комбінацій IP - тригер має найгірші параметри по надійності, більше того, його тенденції мають найбільш виражений характер по чутливості.

Надійність в статичному режимі, загальна вартість та параметри швидкодії були обчислені на основі рівнянь (1)-(3). Для розрахунку параметрів надійності було прийнято, що $q_0=q_1=1E-6$. Для розрахунку параметрів загальної вартості було прийнято наступне припущення: вартість ЛЕ типу 2I-HE рівна 2 одиниці; вартість ЛЕ типу 3I-HE рівна 2.5 одиниці; вартість ЛЕ типу 4I-HE рівна 2.7 одиниці. Для розрахунку швидкісних параметрів було прийнято, що усі ЛЕ мають однаковий час затримки рівний t . Результати комп'ютерної симуляції наведено в таблиці 1.

Таблиця 1.

Результати комп'ютерних досліджень

Тип тригера	Статична надійність	Динамічна надійність	Вартість	Швидкодія
IP	0.999991	0.999876	21.1	5t
SP	0.999993	0.999898	16.9	4t
JK	0.999991	0.999947	18	4t
RS	0.999991	0.999947	18	4t

5. ВИСНОВКИ

В даній статті авторами запропоновано підхід до оцінки параметрів надійності, швидкості функціонування та загальної вартості проєктованих пристроїв ОТ. Розроблено математичні моделі, котрі дозволяють оцінити критерії глобальної оптимізації для чотирьох типів тригерів. Отримані результати можуть бути використані:

- для вибору оптимального логічного базису реалізації пристроїв ОТ;

- для побудови математичних моделей компонентів щоб реалізувати еволютивні алгоритми багатокритеріальної оптимізації.

ЛІТЕРАТУРА

[1] Igor V. Vasiltssov, Bogdan A. Mandzij, "New 3D Model of Internal Electromagnetic Noises in VLSI Chip", *In Proc. of 15-th Intern. Wroclaw Symp. on Electromagnetic Compatibility*, Wroclaw, Poland, June 27-30, 2000, pp.55-58.

[2] Peter J. Ashenden. *The Designer's Guide to VHDL*. The University of Adelaide. Morgan Kaufmann Publishers, Inc. San Francisco, California, 1996, 688p.

[3] Роман Базилевич, Тарас Телюк. "Оптимізація процедури розміщення". *Матеріали міжнародної конференції CCU 2000*, Львів, 2000, ст.75-78.

[4] Ігор Васильцов. "An Approach to EMO Algorithms Development for Computational Devices Implemented on VLSI", *Матеріали 6-ої Міжнародної Конференції CADSM'01*, Львів-Славськ, Україна, 12-17 Лютий, 2001, ст.43-46.

[5] Igor V. Vasiltssov, Bogdan A. Mandzij. Estimation of the reliability of digital systems implemented on programmable devices, *Microelectronics Reliability*, Elsevier Science, Vol:40 Iss:12, November, 2000 pp.2087-2093.



К.т.н., доцент Ігор Васильцов є дипломованим радіоінженером. Закінчив Національний університет "Львівська політехніка" в 1993 році за спеціальністю "розробка і технологія радіоелектроніки".

В березні 1999 року захистив дисертацію з систем автоматизованого проєктування і виробництва при Національному університеті "Львівська політехніка".

Стаж роботи:

1990 – 1993 співробітник лабораторії НДЛ-51, Національний університет "Львівська політехніка"

1993 – 1995 старший науковий співробітник Радіоінженерного факультету, Національний університет "Львівська політехніка"

1995 – 1999 аспірант і викладач Радіоінженерного факультету, Національний університет "Львівська політехніка"

02'1999 – 05'2000 доцент, Інститут комп'ютерних інформаційних технологій, Тернопільська академія народного господарства.

05'2000 – даний час заступник зав.кафедри Безпеки інформаційних технологій, Інститут комп'ютерних інформаційних технологій, Тернопільська академія народного господарства.

Область наукових інтересів

В основному область наукових інтересів охоплює розробку сучасних високо-надійних складних систем впроваджених у СБІС. Нижче наведено детальний список:

- розробка систем автоматизованого проектування і виробництва цифрових пристроїв;
- розробка високо-надійних пристроїв у технології VHDL;
- розробка оригінальних підходів до підвищення рівня надійності розроблюваних систем;
- розробка і моделювання математичних моделей зовнішніх електромагнітних шумів у мікросхемі;
- розробка еволюційних алгоритмів для мульти-об'єктної оптимізації;
- розробка спеціалізованих комп'ютерних систем впроваджуваних із пристроями безпеки;
- прикладні криптологічні системи, впроваджені на пристроях СБІС.