

USING BOUNDARY SCAN IN DIGITAL SYSTEMS.

Marina Kaminskaya

Kharkiv National University of Radioelectronics,
 Department of computing automation and design,
 Lenin Prospect 14, Kharkiv 61726, Ukraine

Abstract: Proposed fault control method in digital systems. He was developed with deductive simulation. Was proposed to use standard IEEE 1149.1 Boundary scan for control additional virtual outputs.

INTRODUCTION

As necessary to increase speed of modeling aids and test quality defined actuality of this work. Now we have different test methods, such as Boundary Scan standard, Scan Path method. In this work presentation fault control method.

Test object is digital system, which represented in structure functional form.

Exploration goal is make single fault simulation method for test quality rating.

Exploration task is elaborate new algorithm for reconvergent fan-outs analysis and tree segments analysis for fault simulation.

On basis of Boundary Scan technology proposed that method, which will allowed decrease number of test-vectors and improve test quality at the most.

Input lines don't consider, because this lines directly operated.

We can test internal lines in the digital circuits. Was supposed device testing on gate and RTL levels.

Number of control point calculated from CAMELOT method.

HOW TO CALCULATE CONTROL POINTS

At first, calculated controllability of all lines. Further, calculated arithmetic average of controllability and take that values, which smaller than arithmetic average controllability value. Also, reconvergent fan-outs are marked like control points. Control points are marked like additional virtual outputs, because making physical additional outputs will be very expensive.

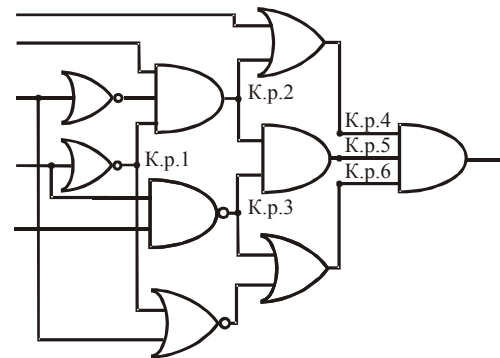


Fig. 1. Circuit with control point.

Arithmetic average of controllability for this circuit is equal to 0,49421.

As figure show, controllability (C) of K.p.4 = 0,375; C(K.p.5) = 0,25; C(K.p.6) = 0,25; K.p.1, K.p.2., K.p.3 are reconvergent fan-outs.

This method was verified on ISCAS'2000 circuits.

By using back traced deductive simulation we obtained that results:

By pseudorandom test (1000000 vectors):

Test quality – 98%;

Number of test vectors – 56.

By using proposed fault simulation methods we obtained that results:

Test quality – 100%;

Number of test vectors – 35.

CONCLUSIONS

This method oriented on very-large-scale integration circuits.

In this work was described different fault simulation methods, but proposed method with

Boundary Scan technology allows to make test quality better noticeably and minimize him.

ADVANTAGE:

1. Algorithm allows analyse that faults, which not change values on the outputs.
2. This testing method allowed to control 100% of faults.

DISADVANTAGE:

1. We must to increase test pattern for testing very large-scale integration.



ВИКОРИСТАННЯ ГРАНИЧНОГО СКАНУВАННЯ В ЦИФРОВИХ ПРИБОРАХ

Марина Камінська

Харківський національний університет радіоелектроніки,
Кафедра автоматизації та проектування обчислювальної техніки,
пр. Леніна, 14, Харків 61726, Україна

Резюме: Пропонується метод перевірки несправностей в цифрових системах. Він розроблений на основі дедуктивного методу. Пропонується використання стандарту IEEE 1149.1 Boundary Scan для контролю додаткових віртуальних виходів.

ВСТУП

Актуальність даної роботи визначається необхідністю покращення швидкодії засобів моделювання, покращення якості тесту та його мінімізації. Щільність розміщення транзисторів на кристаллах мікросхем досягла 200 млн. на 1 см². Високі витрати, обумовлені складністю перевірки складних компонентів схеми на відповідність технічним вимогам, можуть викликати складності в реалізації проекту. На цей час існують різні методи перевірки несправностей в схемах, такі як стандарт IEEE 1149.1 Boundary Scan, метод Scan Path та його реалізація фірмою IBM, яку знають під назвою LSSD (Level Sensitive Scan Design). Один з методів моделювання несправностей представлено в даній роботі.

Об'єкт тестування - цифрова система, представлена в структурно-функціональній формі.

Мета дослідження - розробка метода моделювання поодиноких константних несправностей для оцінки якості тестів цифрових систем.

Задача дослідження: розробка нових алгоритмів структурного аналізу розгалужень, що сходяться (CP) та деревуватих сегментів для моделювання несправностей.

1. ПОСТАНОВКА ЗАДАЧІ ТА ТЕМАТИКА ДОСЛІДЖЕНЬ

Дослідження, що пропонуються, використовують стандарт IEEE 1149.1 та

дозволяють виконувати верифікацію пристрою, що розміщується на кристалі.

Метод тестування boundary scan був введений для спрощення тестування друкованих плат, який має також і друге найменування – Joint Test Action Group. Зараз більшість електронних пристроїв, що випускаються, підтримують boundary scan тестування.

Методика тестування з використанням boundary scan архітектури реалізована на мікропроцесорі, що має паралельну архітектуру. Схема такого пристрою представляє собою матрицю, кожна комірка якої є мікропроцесором з вбудованою пам'яттю та засобами передачі повідомлень. Комірки розбиваються на групи, кожна з якої під'єднується до boundary scan регістру та має один TAP-контролер. Тестування виконується по групам, в яких усі комірки перевіряються одночасно. В разі появи несправності, виконується спроба її локалізації.

В нашому випадку передбачається тестування внутрішніх ліній схеми, які визначаються як додаткові точки контролю. На рисунку, приведеному нижче показана архітектура boundary scan, що реалізує цей принцип.

На основі технології boundary scan пропонується розробити такий метод, який би дозволив зменшити кількість тест-векторів та максимально покращити якість тесту. Передбачається тестування систем, представлених на вентиляльному рівні. Головною метою тестового аналізу на рівні кристала є перевірка несправностей елементів. Несправністю може бути обрив лінії,

виникнення константної несправності нуля або одиниці.

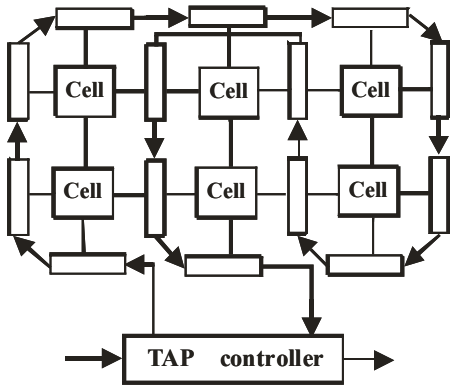


Рис. 1. Базові комірки.

Тест-вектор, що подається на схему, впливає на видимі контакти схеми, тобто на безпосередні вхідні контакти схеми, що керуються.

В [1] тестування розподіляється на три основні процедури: генерація тестів, оцінка ефективності тестів, реалізація тестового діагностування. Використання цих процедур добре видно в представленому методі.

Ефективність методу визначається якістю тесту.

Метод оснований на введенні додаткових (віртуальних) виходів в схемі. Кількість вихідних ліній визначається шляхом визначення керуємості вузлів схеми та присутності розгалуджень, що сходяться.

2. МОДЕЛЬ АНАЛІЗУ НЕСПРАВНОСТЕЙ

Така модель може бути отримана на основі моделі дедуктивно-паралельного аналізу.

В нашому випадку формула дедуктивного аналізу буде мати такий вигляд:

$$L = T \oplus (F, f), \quad (1)$$

де $f = (f_{m+1}, f_{m+2}, \dots, f_1, \dots, f_n) (i = m+1, n)$ –

модифікована функція справної поведінки пристрою. Функція f має місце в тому випадку, коли вихід логічного елемента є додатковою точкою контролю або РС.

Для визначення точок контролю використовується наступна формула:

$$K_{\text{вих}} = \sum_{i=1}^n K_{\text{т.і}} + CP + Y_i, \quad (2)$$

де $K_{\text{вих}}$ – кількість вихідних ліній в схемі після перетворень; Y_i – кількість виходів в схемі до перетворень; $K_{\text{т.і}}$ – кількість контрольних точок в схемі; CP – розгалуження, що сходяться.

Кількість контрольних точок $K_{\text{т.і}}$ визначається шляхом обчислення середнього арифметичного керуємості ліній схеми (крім вхідних). Для цього визначається середнє значення за формулою:

$$K_{\text{ср}} = \frac{\sum_{i=1}^n CY_i + \sum_{j=1}^m CY_{\text{вих}j}}{n + m}, \quad (3)$$

де $\sum_{i=1}^n CY_i$ – сума значень керуємості внутрішніх ліній схеми;

$$\sum_{j=1}^m CY_{\text{вих}j}$$

– сума значень керуємості виходів схеми.

n і m – кількість внутрішніх виходів і кількість безпосередніх виходів в схемі відповідно. Після чого проводиться порівняння значень керуємості з коефіцієнтом $K_{\text{ср}}$. Якщо керуємість лінії менше середнього значення, то в цьому місці буде присутня точка контролю.

У відповідності з алгоритмом аналізу необхідно мати внутрішню модель справної поведінки схеми у вигляді відповідних структур даних, що розміщуються в оперативній пам'яті та орієнтованих на обробку елемента цифрового пристрою (Рисунок 2) [3].

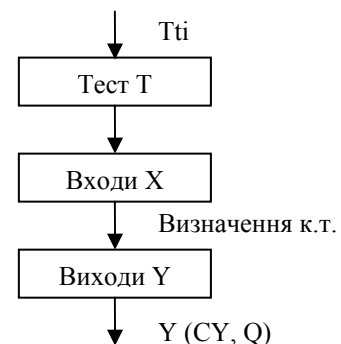


Рис. 2 - Структурна модель аналізу схеми

Інакше, щоб визначити кількість тест-векторів, необхідно сформуванати таку кількість додаткових контрольних точок, яка залежить від якості тесту Q та керуємості CY .

Таким чином, представлена модель може бути використана для аналізу несправностей в цифрових системах на вентильному рівні.

3. АЛГОРИТМ АНАЛІЗУ НЕСПРАВНОСТЕЙ

Дослідження проводились на схемах з СР.

Необхідно визначити мінімальну кількість контрольних ліній на схемі, які будуть додатково скануватися за допомогою стандарту boundary scan. Ми не можемо зробити ці віртуальні виходи фізичними контактами, тому що потрібно буде під'єднувати логічний елемент до цього виходу, а це надто дорого. Набагато дешевше буде просто сканувати додаткову лінію). В ході досліджень для отримання результатів була використана програма генерації тестів FSIMgui, розроблена в фірмі ALDEC.

Кількість контрольних точок визначається шляхом обчислення значення керуємості ліній схеми.

1. Вхідні лінії не враховуються, так як мається на увазі, що вхідні контакти схеми безпосередньо перевіряються.

2. Визначаємо значення керуємості усіх ліній схеми. Коефіцієнт передачі керуємості (CTF) виходу є мірою, що характеризує ступінь відмінності можливості пристрою генерувати на даному виході значення 1 від можливості генерувати значення 0.

Значення CTF обчислюється таким чином:

$$CTF = \frac{|N(0) - N(1)|}{N(0) + N(1)}, \quad (4)$$

де $N(0)$ - кількість усіх способів установки логічного нуля на виході пристрою; $N(1)$ - кількість усіх способів установки логічної 1 на виході пристрою.

Значення керуємості вентиля дорівнює:

$$CY = CTF(Z1) \cdot f[CY(Z1)], \quad (5)$$

де $f[CY(Z1)]$ - середнє арифметичне керуємості входів, що керують вузлом $Z1$.

3. Визначається середнє арифметичне значення керуємості K_{cp} усіх ліній схеми (крім вхідних).

4. Контрольними точками будуть відмічені ті лінії схеми, значення керуємості яких менше середнього значення K_{cp} .

5. Контрольними точками також відмічаються місця на схемі з розгалуженнями, що сходяться.

4. РЕАЛІЗАЦІЯ ДОСЛІДЖЕНЬ

На рисунку контрольними точками позначені ті лінії, де значення керуємості менше середнього значення K_{cp} . В нашому випадку $K_{cp} = 0,49421$. $CY (K.t.4) = 0,375$; $CY (K.t.5) = 0,25$; $CY (K.t.6) = 0,25$. $K.t.1, K.t.2, K.t.3$ - розгалуження, що сходяться.

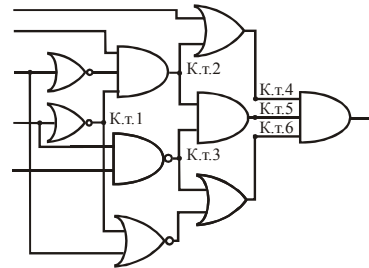


Рис. 3 - Схема з контрольними точками.

Запропонований метод був перевірений на схемах стандарту ISCAS'2000. Так, при моделюванні несправностей на схемі c432isc зворотнім дедуктивно-паралельним методом були отримані такі результати:

при генерації псевдовипадкового тесту (1000000 векторів), якість тесту - 98%; кількість перевірочних векторів - 56.

При моделюванні запропонованим методом: при генерації псевдовипадкового тесту (1000 векторів), якість тесту - 100%; кількість перевірочних векторів - 35.

В даній схемі 36 входів и 7 виходів.

На рисунку нижче показано порівняльний аналіз з іншими методами.

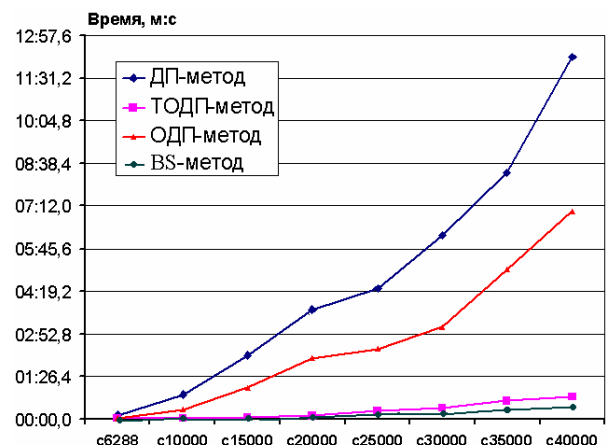


Рис. 4 - Аналіз швидкодії методів моделювання

ДП-метод - дедуктивно-паралельний метод
 ТОДП-метод - топологічний зворотній ДП-метод
 ОДП-метод - зворотній ДП-метод

BS-метод - моделювання з допомогою технології Boundary Scan.

5. ВИСНОВКИ

Запропонований метод моделювання орієнтований на обробку надскладних цифрових систем.

В роботі були описані різні методи тестування цифрових систем, тим не менше, запропонований метод дозволяє з допомогою технології boundary scan значно покращити якість тесту та мінімізувати його.

Переваги методу:

1. Метод дозволяє аналізувати ті несправності, які не змінюють значення на виході.

2. Даний метод тестування дозволяє перевіряти 100% несправностей в схемі.

Недоліки методу:

1. При наявності надвеликих схем необхідно збільшувати кількість перевірочних тест-векторів.

ЛІТЕРАТУРА

1. Р.Дж. Беннеттс Проектирование тестопригодных логических схем, Москва, "Радио и связь" - 1990. - 175с.

2. Сысенко И.Ю. Метод обратного моделирования неисправностей для последовательностных схем // АСУ и приборы автоматики. - 2002. - №119. - С. 41-50.

3. Хаханов В.И., Колесников К.В., Хаханова А.В. VDP-метод моделирования неисправностей для синтеза тестов цифровых проектов // Радиоэлектроника и информатика. - 2002. - С. 60-66.

4. Teresa McLaurin, Souvik Ghosh ETM10 Incorporates

Hardware Segment of IEEE P1500 // IEEE Design & Test of Computers. - 2002. - P. 8-13.

5. Chouki Aktouf A Complete Strategy for Testing an On-Chip Multiprocessor Architecture. // IEEE Design & Test of Computers. - 2002. - P. 18-28.

університеті радіоелектроніки. Отримала ступінь магістра за спеціальністю "спеціалізовані комп'ютерні системи". Зараз працює стажером-дослідником на кафедрі АПОТ в ХНУРЕ.

Наукові інтереси: технічна діагностика, медична діагностика. Не наукові інтереси: дослідження паранормальних явищ.



Камінська Марина
Олександрівна народилася 25 червня 1982 року у м. Харкові у сім'ї службовців. З 1989 р. по 1999 р. навчалася у середній загальноосвітній школі з поглибленим вивченням англійської мови. З 1999 р. по 2004 р.

навчалася у Харківському національному