



РЕКОНФИГУРИРУЕМАЯ СИСТЕМА НА ОСНОВЕ ОДНОРОДНОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ СО СПЕЦИАЛИЗАЦИЕЙ ЯЧЕЕК

Анатолий Биленко, Валерий Ситников

Одесский национальный политехнический университет,
проспект Шевченко, 1, Одесса, 65044, Украина,
anatoliy.bilenko@gmail.com

Резюме: Рассматривается структура реконфигурируемой системы на основе однородной вычислительной систем со специализацией. Проведен обзор модернизации аппаратной части однородной вычислительной среды, а также методы включения специализированных блоков.

Ключевые слова: архитектура ЭВМ, реконфигурируемые системы.

RECONFIGURABLE CELL-ARRAY (RCA) BASED COMPUTER SYSTEM WITH CELL SPECIALIZATION

Anatoliy Bilenko, Valeriy Sitnikov

Odessa National Polytechnic University,
1, Shevchenko avenue, Odessa, 65044, Ukraine,
anatoliy.bilenko@gmail.com

Abstract: Reconfigurable system based on cell specialization of reconfigurable cell-array computer system is presented. Analysis of specialized reconfigurable cell-array hardware and methods of specialized cell inclusion are given.

Keywords: architecture of computer systems, reconfigurable systems.

ВВЕДЕНИЕ

Развитие реконфигурируемых вычислительных систем характеризуется стремительным повышением сложности вычислений. Это приводит к необходимости оптимального использования аппаратных ресурсов ПЛИС и микросхем, на которых реконфигурируемая система строится.

Весомый вклад в создание методов и средств проектирования реконфигурируемых вычислений внесен отечественными и зарубежными учеными, такими как А.О. Мельник, А.В. Палагин, В.Н. Опанасенко, И.А. Каляев, И.И. Левин, Е.А. Семерников, В.И. Шмойлов, G. Estrin, S. Hauck, D. Patterson. В работах [1-3] показаны существующие подходы к реализации РВУ на основе ПЛИС. Работы [4,5] показывают, подходы, основанные на реконфигурации дополнительных аппаратных средств, созданных на основе ПЛИС.

В статье предлагается подход к реализации

реконфигурируемых вычислений на основе введения дополнительного аппаратного уровня “поверх ПЛИС” – однородной вычислительной системы (ОВС), на основе которого предлагается строиться вычисления.

Наличие специализированных блоков в ПЛИС, ставит задачу оптимального включения этих ресурсов в состав ОВС реконфигурируемой системы.

1. ОПИСАНИЕ СТРУКТУРЫ РЕКОНФИГУРИРУЕМОЙ СИСТЕМЫ

Реконфигурируемое вычислительное устройство (РВУ) однородной вычислительной системы (ОВС) состоит из вычислительных ячеек, соединенных с другими ячейками вертикальными и горизонтальными связями, что позволяет существенно сэкономить на количестве соединений, что повышает надежность РВУ, и делает такую

структуру возможной для микроэлектронной реализации. Типовая вычислительная ячейка такой структуры представлена на рис. 1.

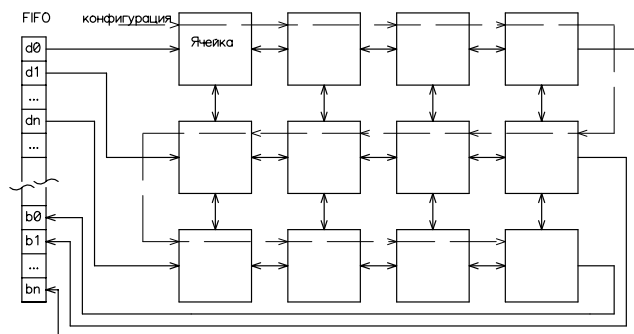


Рис. 1 – Структура матричной ОВС

Процесс конфигурации ячеек заключается в записи конфигурационных данных, называемых программами, в сдвиговые регистры программы (СРП) каждой ячейки ОВС. Все СРП соединены друг с другом в определенном порядке, образуя сдвиговый регистр. Данные, записываемые в каждый СРП, хранятся во внешней памяти, называемой конфигурационной, а сам процесс конфигурации сводится к передаче данных из конфигурационной памяти в СРП ячеек ОВС, рис. 2.

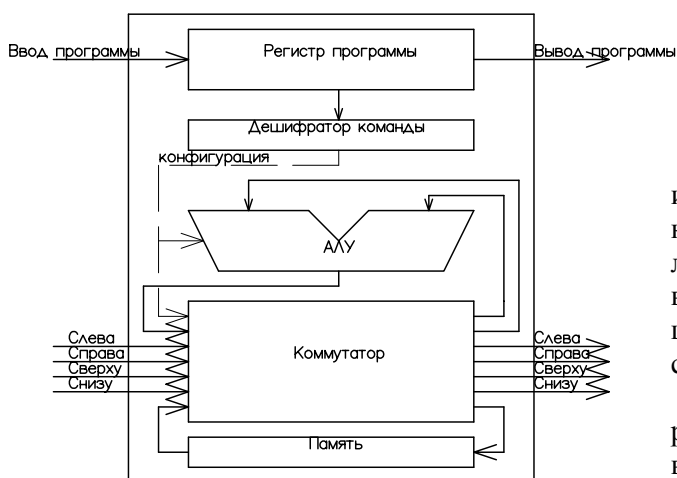


Рис. 2 – Архитектура ячейки матричной ОВС

Ячейка ОВС состоит из регистра программы, дешифратора команды программы, АЛУ, коммутатора и памяти, в которой можно хранить результат прошлой операции АЛУ или значение, переданное через коммутатор. Регистр программы и дешифратор команды ячейки предназначены для конфигурирования АЛУ и коммутатора ячейки, конфигурация которых позволяет выбрать операцию, выполняемую с помощью АЛУ для данного шага вычислений, а также конфигурировать соединения ячеек ОВС матрицы для построения вычислительной структуры.

Необходимость в оптимальном использовании специализированных блоков ПЛИС, а также анализ часто повторяющихся подграфов

информационного графа приводит к постановке задачи специализации структуры РВУ.

2. СПЕЦИАЛИЗАЦИЯ СТРУКТУРЫ РЕКОНФИГУРИРУЕМОЙ СИСТЕМЫ

Выбор сложности АЛУ и коммутатора ячейки осуществляется исходя из ограничений, диктуемых поставленной задачей. Очевидно, что АЛУ ячейки должно быть оптимизировано под выполнение операций, наиболее часто используемых в вычислительном процессе, а коммутатор – под разрядность операндов, в которой наиболее оптимально возможно описать вычисление. Проблема специализации ячеек возникает в связи с несоответствием операций, реализуемых на ОВС и архитектурой ячейки ОВС. Можно выделить следующие варианты такого противоречия [5]:

- Операционная вершина информационного графа однозначно соответствует архитектуре ячейки ОВС (полностью специализированная структура);
- Операционная вершина информационного графа частично соответствует архитектуре ячейки ОВС (частично специализированная структура);
- Операционная вершина информационного графа алгоритма не соответствует архитектуре ячейки ОВС процессора (универсальная структура).

Современные ПЛИС фирмы Xilinx и Altera имеют в своем составе специализированные блоки [6,7], предназначенные для применения в областях цифровой обработки сигналов (ЦОС). Эти возможности используются для построения специализированных ячеек способных выполнять сложные операции.

Количество таких блоков ограничено [6,7], а размещение их внутри ПЛИС фиксировано. Очевидно, что размещение ячеек на основе этих блоков в РВУ ОВС тоже будет пространственно зафиксировано.

Предлагается видоизменить структуру РВУ ОВС таким образом, чтобы задействовать ограниченное множество специализированных ячеек ПЛИС. Однако специализация не должна существенно повлиять на структуру РВУ ОВС, а также на разработанное программное обеспечение. Исходя из вышеперечисленных требований и ограничений, предлагается модифицировать структуру РВУ следующим образом: в каждую строку матричной ОВС включается АЛУ, которая разделяется между всеми ячейками этой строки. Соответственно, алгоритмы разделения данного АЛУ должны быть отработаны до этапа реконфигурации системы (рис. 3,4).

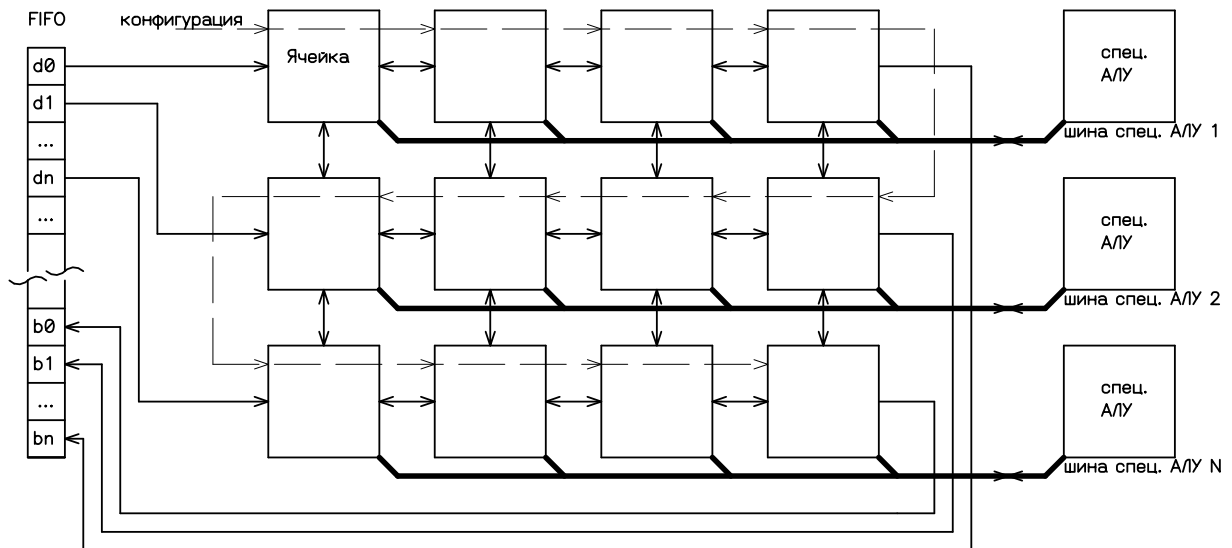


Рис. 3 – Структура видоизмененной матричной ОВС.

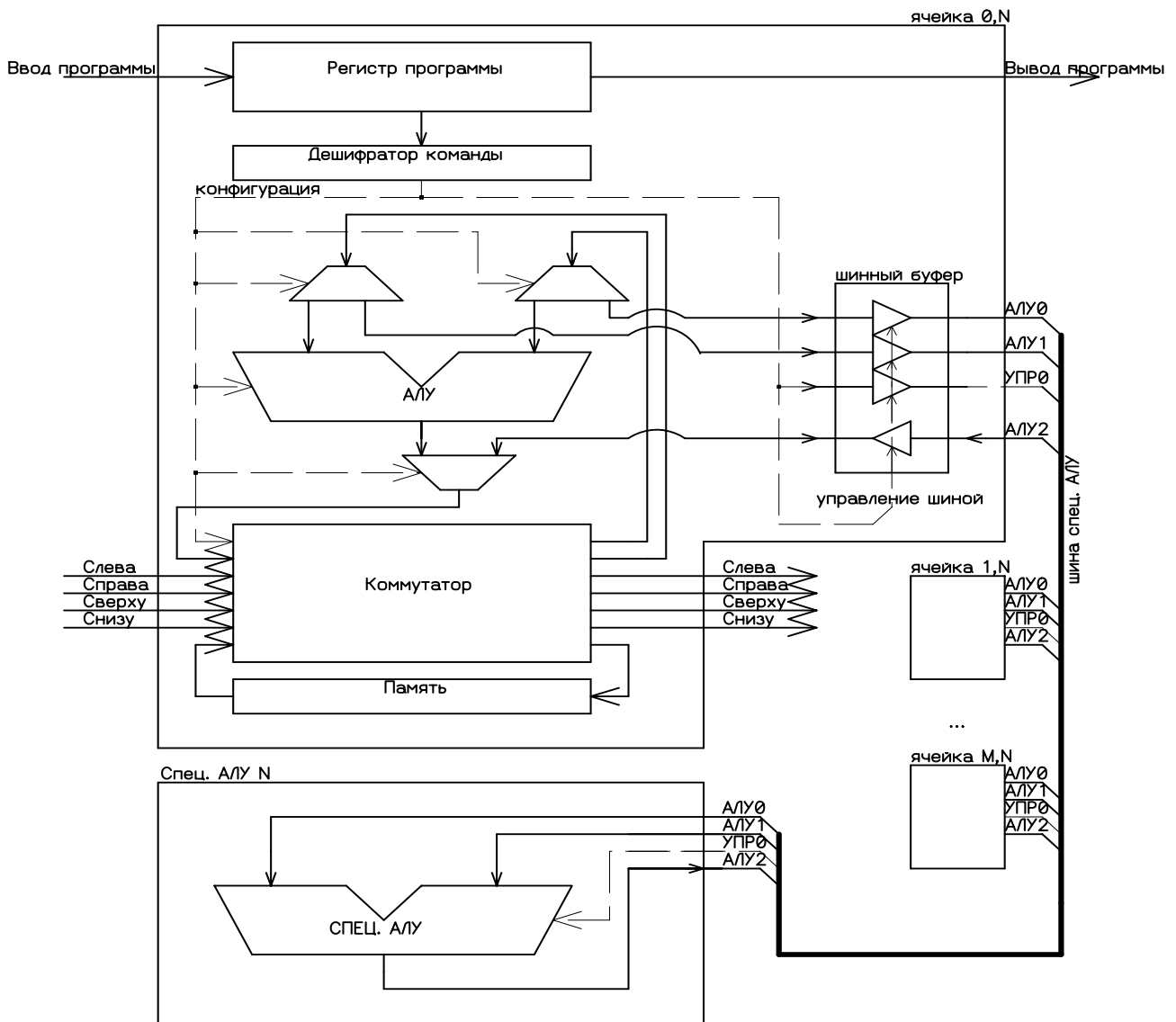


Рис. 4 – Структура ячеек строки и шины матричной ОВС

Как видно, при отключенной шине специализированного АЛУ, структура ячеек РВУ ОВС может быть использована, как и ранее, без изме-

нения программного обеспечения разработки реконфигурируемых систем. Однако при использовании специализированных ячеек возникает за-

дачи выбора, какая ячейка РВУ ОВС подвергнется оптимизации.

3. ОБОСНОВАНИЕ ВЫБОРА КРИТЕРИЕВ ОПТИМАЛЬНОСТИ

Определение параметров ячеек, к которым планируется подключать специализированные АЛУ, является задачей оптимизации, для решения которой необходима минимизация следующих показателей:

- Количество ячеек $S(t)$, в данный момент времени, занятых под реализацию данного алгоритма (аппаратные затраты, потребление);
- Скорость обработки $V(t)$ входных данных (производительность, потребление).

При решении поставленной задачи вводятся ограничения, связанные со структурой ОВС, а также, упрощения:

- Ограничения:
 - Количество ячеек N_c ограничено;
 - Разрядность операндов R_o ограничена.
- Упрощения:
 - Класс алгоритмов зафиксирован. Это позволяет проанализировать операции используемые в вершинах графа аналитически и наложить определенные ограничения на архитектуру вычислительной ячейки.

Исходя из перечисленных критериев, задача формулируется следующим образом: для каждого элемента множества вычислительных задач A , существует оптимальная ячейка такая что, выполняются следующие условия (1):

$$\forall A_i \in A \exists \begin{cases} \sum_k S(t) \longrightarrow \min \\ \sum_k V(t) \longrightarrow \max \\ N_c = \text{const} \\ R_o = \text{const} \end{cases} \quad (1)$$

В общем случае, задача оптимального включения и выбора специализированных ячеек для РВУ ОВС описана системой соотношений (1).

Однако, решение системы напрямую, представляет собой комбинаторный перебор вариантов доступных ячеек и их размещений. Временные затраты на такое решение оцениваются как сочетание из N_z возможных замен в графе алгоритма по K_j количеству доступных специализированных ячеек для данной структуры РВУ ОВС. Временные затраты на решение комбинаторным методом, выраженные в количестве проходов алгоритмов размещения и трассировки, можно оценить как:

$$\Omega(N_z, K_j) = \frac{N_z!}{K_j!(N_z - K_j)!} \quad (2)$$

Типичное время, затрачиваемое на трассировку и расстановку ячеек информационного графа алгоритма, измеряется в десятках секунд и возрастает с увеличением размера информационного графа алгоритма и структуры РВУ ОВС.

Эффективность работы информационных сетей, выявление её сегментов с высокими значениями использования её узлов, сводится к задаче о максимальном потоке графа сети [8], а оптимальность структуры и её быстродействие – к количеству параллельных участков графа алгоритма [8]. Так как систему (1) в общем виде решить нельзя, то следует использовать функцию максимального потока и параллельных ветвей графа как векторный критерий оптимизации, при нахождении которого, определяют конфигурацию системы.

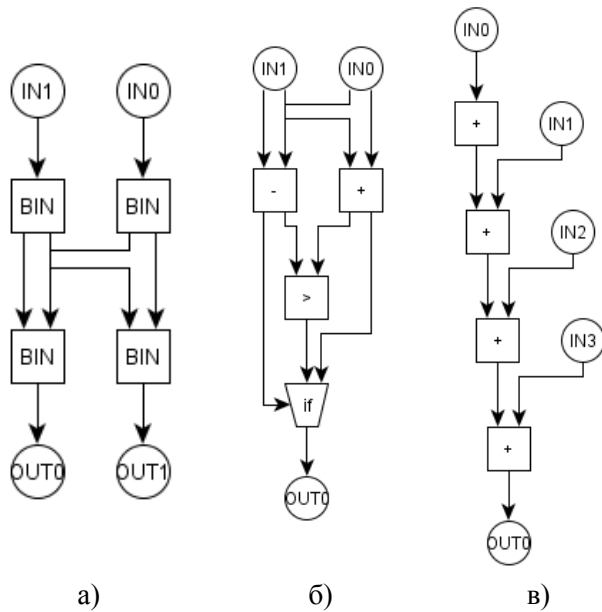
4. ОПТИМИЗАЦИИ ЦЕЛЕВЫХ ФУНКЦИЙ

При подготовке к этапу оптимизации структуры РВУ ОВС, необходимо подобрать оптимальные операции для решения поставленной задачи для размещения их в специализированных АЛУ. Например, на рис. 5 представлены информационные графы операций наиболее часто используемых в задачах цифровой обработки сигналов.

Выбор оптимальной замены набора вершин информационного графа производят исходя из критериев оптимальности и наложенных ограничений, представленных в системе (3):

$$\begin{cases} \max_{w \in W_g} (\alpha_1 \cdot \Phi(w) + \alpha_2 \cdot \Psi(w)) \\ \alpha_1 + \alpha_2 = 1 \\ w_i \in W_g, i = 1, N \\ \sum_{i=1}^N w_i = N \cdot w_0 \end{cases} \quad (3)$$

где $\Phi(w)$ – функция максимального потока через информационный граф, с фиксированными значениями множества допустимых весов ребер W_g , $\Psi(w)$ – функция количества параллельных ветвей информационного графа, N – количество ячеек для замены, w_0 – исходный вес ребра (рис. 6).



сов ПЛИС в алгоритмах: а) БПФ; б), абсолютной разности; в) фильтрации

После того, как найдено решение системы (3), производят анализ весов $w_i \in W_g, i = 1, N$. Вариантами для размещения в специализированных АЛУ являются те ячейки, которые будут соединены ребрами максимального веса.

5. ВЫВОДЫ

В статье рассмотрен подход к специализации типовой структуры РВУ ОВС, а также поставлена задача оптимизации структуры специализированной ОВС с возможностью использования существующего подхода разработки программного обеспечения без его изменения. Приведены особенности планирования и организации структуры РВУ со специализацией операций.

Рис. 5 – Подграф алгоритма используемый для увеличения эффективности использования ресур-

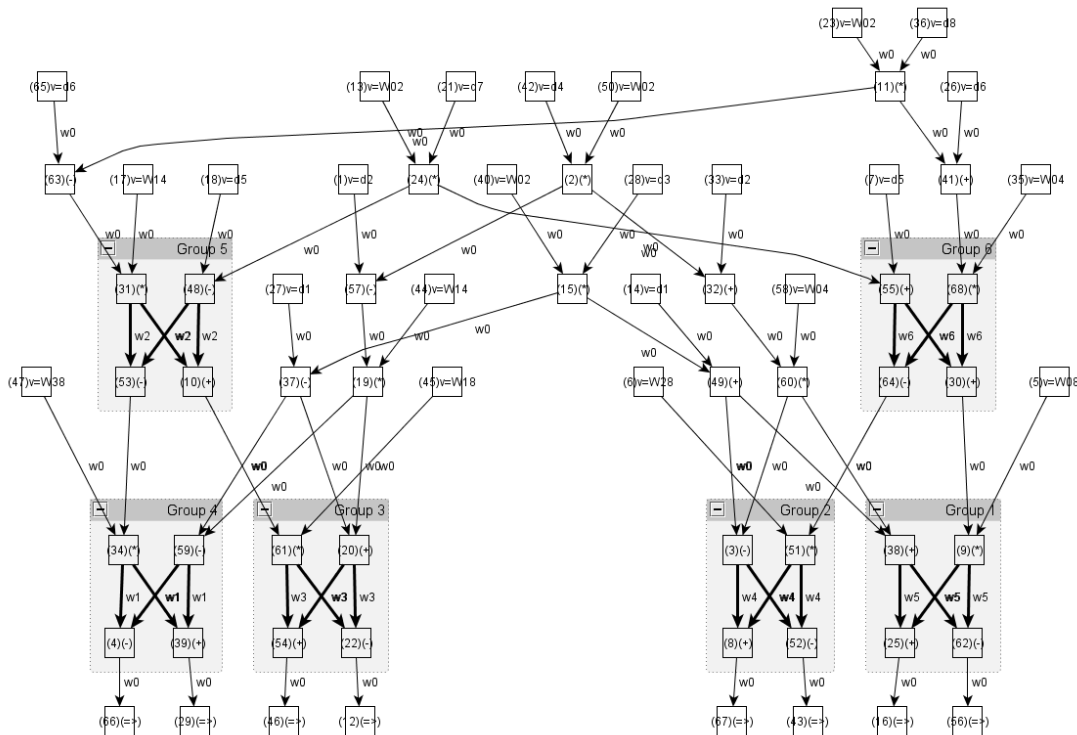


Рис. 6 – Информационный граф и его оптимизируемые ячейки

6. СПИСОК ЛИТЕРАТУРЫ

[1] A. Palagin, V. N. Opanasenko, Design of reconfigurable FPGA devices, *Radioelektronik and computer systems*, (6) (2008), pp. 257-260. (in Russian).
 [2] A. A. Melnik, A. M. Salo, V. A. Klimenko, L. A. Tsyhylyk, A. Yurchuk, Implementation of software specialized processors in reconfigurable accelerators of universal PC, *Bulletin of National. University "Lvivska*

politehnika" Computer Systems and Networks, (658) (2009). (in Ukrainian)
 [3] A. A. Melnik, I. D. Yakovlev, Comparative analysis of methods of matrix representation of algorithms' graphs, *Bulletin of National University "Lvivska politehnika" Computer Systems and Networks*, (658) (2009), pp. 78-84. (in Ukrainian)

- [4] Kaliayev I. A., Levin I. I., Semernikov E. A., Shmoylov V. I., *Reconfigurable computing based on multi-pipeline structures*, Rostov on Don SSC RAN Academy of Sciences, 2008, 393 p. (in Russian)
- [5] N. Lukin, Fundamentals of the theory of architecture design of functional-oriented processors for real-time, *High-performance computing systems, Proceedings of the Fifth International Workshop on Modern School and the Fifth International Youth Science and Engineering Conference*, August 31 - September 6, 2008, Taganrog - Taganrog Iss. TTI SFU, 2008, pp. 115-166. (in Russian)
- [6] LogiCORE IP DSP48 Macro v2.0. web-link: http://www.xilinx.com/support/documentation/ip_documentation/dsp48_macro_ds754.pdf
- [7] DSP Blocks in Stratix & Stratix GX Devices. web-link: http://www.altera.com/literature/hb/stx/ch_6_vol_2.pdf
- [8] Thomas H. Cormen, Charles E. Leiserson, Ronald L. Rivest, Clifford Stein,

Introduction to Algorithms, (third ed.), MIT Press, 2009.



Биленко Анатолий Александрович, аспирант кафедры “Компьютерные системы” Одесского национального политехнического университета. Основные направления научной деятельности: реконфигурируемые системы, цифровые системы обработки сигналов.



Ситников Валерий Степанович, докт. техн. наук, профессор, заведующий кафедры “Компьютерные системы” Одесского национального политехнического университета. Основные направления научной деятельности: цифровые системы обработки и фильтрации сигналов.



RECONFIGURABLE CELL-ARRAY (RCA) BASED COMPUTER SYSTEM WITH CELL SPECIALIZATION

Anatoliy Bilenko, Valeriy Sitnikov

Odessa National Polytechnic University,
1, Shevchenko avenue, Odessa, 65044, Ukraine,
anatoliy.bilenko@gmail.com

Abstract: *Reconfigurable system based on cell specialization of reconfigurable cell-array computer system is presented. Analysis of specialized reconfigurable cell-array hardware and methods of specialized cell inclusion are given.*

Keywords: *architecture of computer systems, reconfigurable systems.*

Development of reconfigurable computing systems is characterized by a rapid increase in computational complexity. This leads to the problem of optimal use of hardware resources of ICs, reconfigurable system is based on.

Significant contribution to the development of methods and means of reconfigurable computing design was introduced by ukrainian and foreign scientists, such as A.O. Melnik, A. Palagin, V.N. Opanasenko, I.A. Kaliayev, I. Levine, E. Semernikov, V.I. Shmoylov, G. Estrin, S. Hauck, D. Patterson. Several scientific researches [1-3] reveal approaches to implementation of the reconfigurable systems, based on FPGAs. Other papers [4,5] show approaches, based on additional hardware reconfiguration.

In this paper an approach to the implementation of reconfigurable computing based on the introduction of additional hardware layer "on top of FPGAs" is reviewed.

Existing specialized units in the FPGA, sets the problem of optimal inclusion of these resources into the reconfigurable system.

Reconfigurable computing unit (RCU) of the RCA consists of a computational cells, connected with other cells of the vertical and horizontal connections, which can significantly save on the number of connections, which increases the reliability of the system, and this structure makes it possible for microelectronic realization.

The need to optimize the utilization of existing specialized units of FPGA leads to the statement of the problem of RCU structure specialization.

The choice of the structure of RCA cell is

performed according to the constraints imposed by the a given computational task. Obviously, the cell must be optimized to perform operations which are most commonly used in the computation process. The problem of the specialization of cells arises from the mismatch of operations implemented in RCA and RCA cell architecture.

It is proposed to modify the structure of RCU so that use a limited number of specialfunction units of FPGA. However, specialization should not significantly affect the structure of the RCU, as well as the developed software. Considering listed requirements and restrictions, it is proposed to modify the structure of the RCU as follows: in each row of the matrix included specialized ALU, which is shared between all the cells in that line. Accordingly, ALU sharing algorithms need to be run before the reconfiguration stage of the system.

In general, the problem of optimal inclusion and selection of specialized cells for RCU is a combinatorial search of the cells placement variants.

A typical time it takes to trace and place cells of data flow graph (DFG) is measured in tens of seconds, and increases with the size of DFG and the structure of the RCU. This is not acceptable for modern computing systems.

Effectiveness of computer networks and its nodes utilization can be modeled with maximal flow function on the network graph. Performance of the system can be measured by critical path function of the network graph.

While preparation to the stage of RCU structure optimization, it's needed to find optimal operations for given computational task. Such operations

should be included into ALU of RCU. For example, fig. 1 shows typical DFG of operations used in DSP computational tasks.

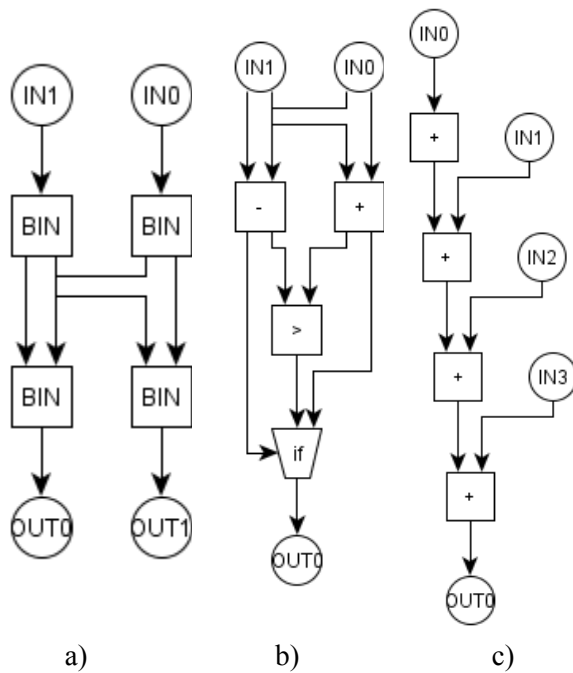


Fig. 1 – DFGs of computational tasks in DSP: a) FFT; b), absolute difference; c) filtering

Selection of the optimal replacement set of the DFG vertices is produced on the basis of optimality criteria and imposed restrictions, represented in the system (1):

$$\begin{cases} \max_{w \in W_g} (\alpha_1 \cdot \Phi(w) + \alpha_2 \cdot \Psi(w)) \\ \alpha_1 + \alpha_2 = 1 \\ w_i \in W_g, i = 1, N \\ \sum_{i=1}^N w_i = N \cdot w_0 \end{cases} \quad (1)$$

where $\Phi(w)$ is a maximum flow function of its DFG, $\Psi(w)$ is a function of critical path of given DFG, N – number of RCU cells to replace by specialized cells, w_0 – starting weight of DFG edge.

Once the solution of system (1) is obtained, DFG edges weight analysis is performed. The variants for placement of specialized ALUs are the cells that are connected by edges of maximum weight.

In the article an approach to specialization of RCU of RCA is reviewed. The task of structure optimization is set. Details of planning and organization of RCU structure is shown.

REFERENCES

- [1] A. Palagin, V. N. Opanasenko, Design of reconfigurable FPGA devices, *Radioelektronik and computer systems*, (6) (2008), pp. 257-260. (in Russian).
- [2] A. A. Melnik, A. M. Salo, V. A. Klimenko, L. A. Tsyhylyk, A. Yurchuk, Implementation of software specialized processors in reconfigurable accelerators of universal PC, *Bulletin of National. University "Lvivska politehnika" Computer Systems and Networks*, (658) (2009). (in Ukrainian)
- [3] A. A. Melnik, I. D. Yakovlev, Comparative analysis of methods of matrix representation of algorithms' graphs, *Bulletin of National University "Lvivska politehnika" Computer Systems and Networks*, (658) (2009), pp. 78-84. (in Ukrainian)
- [4] Kaliayev I. A., Levin I. I., Semernikov E. A., Shmoylov V. I., *Reconfigurable computing based on multi-pipeline structures*, Rostov on Don SSC RAN Academy of Sciences, 2008, 393 p. (in Russian)
- [5] N. Lukin, Fundamentals of the theory of architecture design of functional-oriented processors for real-time, *High-performance computing systems, Proceedings of the Fifth International Workshop on Modern School and the Fifth International Youth Science and Engineering Conference*, August 31 - September 6, 2008, Taganrog - Taganrog Iss. TTI SFU, 2008, pp. 115-166. (in Russian)
- [6] LogiCORE IP DSP48 Macro v2.0. web-link: http://www.xilinx.com/support/documentation/ip_documentation/dsp48_macro_ds754.pdf
- [7] DSP Blocks in Stratix & Stratix GX Devices. web-link: http://www.altera.com/literature/hb/stx/ch_6_vol_2.pdf
- [8] Thomas H. Cormen, Charles E. Leiserson, Ronald L. Rivest, Clifford Stein, *Introduction to Algorithms*, (third ed.), MIT Press, 2009.