



ЕСТЕСТВЕННЫЕ РЕСУРСЫ И ИХ ИСПОЛЬЗОВАНИЕ ДЛЯ ПОВЫШЕНИЯ КОНТРОЛЕПРИГОДНОСТИ ЦИФРОВЫХ КОМПОНЕНТОВ СИСТЕМ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ

Юлия Дрозд ¹⁾, Александр Дрозд ¹⁾, Юлиан Сулима ²⁾

¹⁾ Одесский национальный политехнический университет,
пр. Шевченко, 1, Одесса, 65044, Украина,
drozd@ukr.net

²⁾ Одесса, ул. Балковская, 54, mr_lemur@mail.ru

Резюме: Рассмотрены модели, методы и средства как целевые ресурсы для решения задач проектирования и диагностирования компьютерных систем и их компонентов. Определяется критерий выбора целевых ресурсов, активирующих естественные ресурсы, направленные на повышение эффективности решения задач. Рассмотрена проблема низкой контролепригодности цифровых компонентов систем критического применения, и показаны пути ее решения при выборе целевых ресурсов в соответствии с предложенным критерием. Описан путь устранения противоречия между целевыми ресурсами, направленными на обеспечение контролепригодности, производительности и малой сложности цифровых компонентов. Этот путь основывается на распараллеливании вычислений с использованием последовательных кодов.

Ключевые слова: Естественные ресурсы, системы критического применения, цифровые компоненты, контролепригодность, распараллеливание вычислений в последовательных кодах.

NATURAL RESOURCES AND THEIR USE FOR CHECKABILITY INCREASING THE DIGITAL COMPONENTS OF SAFETY-CRITICAL SYSTEMS

Julia Drozd ¹⁾, Alexander Drozd ¹⁾, Julian Sulima ²⁾

¹⁾ Odessa National Politechnic University,
1, Shevchenko prospect, Odessa, 65044, Ukraine,
Drozd@ukr.net

²⁾ Odessa, str. Balkovskaya, 54, mr_lemur@mail.ru

Abstract: The models, methods and means as target resources for solving tasks for design and testing of computer systems and their components are considered. A criterion for choosing the target resources activating the natural resources for the increasing the efficiency of task solutions is determined. A problem of low checkability of digital components of safety-critical systems is examined and the ways of its solution is showed by choosing the target resources in accordance with the offered criterion. The way of elimination of a contradiction between the target resources aimed to maintain the checkability, productivity and low complexity of digital components is described. This way is based on parallelization of computations with the use of the serial codes.

Keywords: Natural resources, safety-critical systems, digital components, checkability, paralleling the calculations in serial codes.

ВВЕДЕНИЕ

Для решения определенной задачи, например, проектирования, диагностики или выполнения

вычислений, необходимо затратить некоторые ресурсы, получившие название целевых [1].

Целевые ресурсы (ЦР) – это привлекаемые для решения задачи модели, методы и средства в самом широком их понимании. Модели и методы

относятся к информационной части ресурсов, а средства – к технологической. Модели – это наши представления. Методы – описания некоторых преобразований. Средства – воплощение метода, включая используемый для этого инструмент. Задачи, как и ЦР можно разделить на две группы: синтеза и анализа, т.е. соответственно создания чего-либо и оценки полученного решения. Кроме ЦР в решении задачи могут использоваться естественные ресурсы (ЕР). Широко известны два их представителя: естественная информационная избыточность (ЕИИ) [2] и естественная структурно-временная избыточность (ЕВИ) [3], используемые в диагностике, т.е. при решении задач анализа. Естественная информационная избыточность проявляется в виде запрещенных значений кода результата, например, двоичного кода полного произведения.

При умножении двухразрядных двоичных чисел вычисляется 4-хразрядное произведение, принимающее значения 0, 1, 2, 3, 4, 6 и 9, т.е. только 7 значений. Остальные 9 значений 4-разрядного двоичного кода являются запрещенными и составляют ЕИИ. Естественная временная избыточность может проявляться, например, в избытке времени при формировании управляющих слов для инерционного объекта управления. Изучение ЕР является основой для их эффективного использования, направленного на упрощение ЦР и повышение качества решения задач.

Важной областью приложения ЕР являются информационные управляющие системы (ИУС) критического применения, обслуживающие объекты повышенного риска в энергетике, на транспорте, в оборонной и космической отрасли [4]. Такие системы проектируются для работы в двух режимах: штатном и критическом. Причем основное время они проводят в штатном режиме, хотя создаются ради критического режима.

Основным требованием к ИУС критического применения является обеспечение их функциональной безопасности, что традиционно решается с использованием отказоустойчивых структур [5]. Для однорежимных коммерческих систем этого достаточно.

В отказоустойчивых решениях двухрежимных ИУС сохраняется проблема низкой контролепригодности цифровых компонентов.

В данной статье анализируются вопросы определения, выявления и использования ЕР (раздел 1), почему контролепригодность является проблемой для цифровых компонентов ИУС критического применения (раздел 2) и предлагаются ЕР для повышения проблемной контролепригодности (раздел 3).

1. ЧТО ТАКОЕ ЕСТЕСТВЕННЫЙ РЕСУРС?

На примере ЕИИ и ЕВИ можно пояснить естественность ресурса тем, что он был получен в процессе решения задачи синтеза как побочный продукт и может быть использован в решении задачи анализа как особенность ЦР в виде подарка, т.е. имеет даровой характер.

Определение ЕР как особенности ЦР требует уточнения естественности в рамках решения только задачи синтеза или анализа. Получается, что ЕР, например, проектирования возникает в результате недомыслия, при котором изначально в проекте решения задачи была упущена особенность ЦР, полезная для получения результата.

Следует отметить, что деление задач на синтез и анализ приобретает все более размытый и условный характер. Оценка решения становится неотъемлемой частью самого решения, т.е. его результата. Диагностика прошла путь от выносной к встроенной, оперативной, постоянно действующей.

Деление на синтез и анализ является следствием структурного подхода (метода), вне которого невозможно решать сложные задачи.

К решению задачи предъявляются требования:

- достижения необходимой степени адекватности результата по отношению к действительности, т.е. достоверности результата;
- получения результата в срок, обеспечивая для этого необходимую производительность;
- вписывания решения в рамки предоставляемых ЦР.

Выполнение этих требований разбивает единую задачу не только на синтез и анализ, но к тому же на значительное множество подзадач со своими целевыми функциями и выделяемыми для их обеспечения ЦР, а также сетевым графиком очередности решения. Тогда особенности ЦР, использованных для решения предшествующих подзадач становятся ЕР для решения следующих подзадач.

Например, особенности обеспечения отказоустойчивости схмотехнического решения могут быть использованы для повышения его контролепригодности.

И задачи, и ЦР для их решения получают развитие и как система элементов (в части организации), и как элемент системы (в части функционирования – взаимодействия элементов).

Прежде всего, они являются элементами такой системы как наш Мир и развиваются в соответствии с его реалиями, т.е. его особенностями, иными словами – ЕР организации.

Примечательно, что особенность познается в сравнении. Поэтому нам доступно анализировать особенности организации Мира, изучая развитие его элементов, сравнивая их на различных этапах развития. Среди таких ЕР Мира выделяется его параллелизм и приближенность. В частности можно проследить этапы развития компьютерных систем и их компонентов по пути повышения уровня схемного и системного параллелизма [6], а также роста значимости обработки приближенных данных, выполняемой, как правило, в форматах с плавающей точкой [7].

Возрастающий уровень параллелизма ЦР расширяет круг решаемых задач в направлении роста их размерности, когда точные модели и методы теряют эффективность и совершенствуются в приближенные, т.е. более адекватные приближенному Миру.

Показательным является распространение метода заготовки результатов, повышающего эффективность с ростом уровня параллелизма в решаемых задачах [1].

Примером может служить современное проектирование цифровых компонентов на FPGA, когда микросхема представляет собой заготовку под множество проектов, а проект – заготовку результатов на LUT (т.е. в таблицах, зашитых в узлах памяти) для множества входных данных.

Все программное обеспечение основывается на заготовленных ветвях алгоритмов и постоянном их выборе, заготовленных подпрограммах и программных модулях.

В цифровой схемотехнике метод заготовки результатов позволяет одновременно снижать и время вычислений, и сложность решения. Этот эффект усиливается с повышением уровня параллелизма ЦР.

Например, обращение к биту памяти предполагает дешифрацию его адреса, сложность которого, может быть оценена количеством выходов дешифратора. Для разрядности адреса 10 сложность дешифратора составляет 2^{10} , т.е. 1024 выхода.

В микросхемах памяти с архитектурой $2,5 D$ адрес памяти разбивается на две части [8].

При дешифрации первой части, например, половины адреса, заготавливается множество из 2^5 результатов, из которых при дешифрации второй половины адреса выбирается один бит. Сложность такого решения складывается из 2^5 выходов двух дешифраторов и такой же по сложности схемы выбора бита, что составляет 96 выходов, т.е. более чем в 10 раз проще дешифрации всего адреса. С увеличением разрядности адреса до 16-ти и 20-ти решение упрощается более чем в 85 и 340 раз, соответственно. Одновременно растет число

разрядов второй половины адреса, по которым многократно снижается время вычислений.

Как правило, время вычислений противопоставляется сложности аппаратного решения: для повышения быстродействия увеличивают затраты оборудования, причем каждое следующее повышение быстродействия обходится дороже. В рассмотренном примере, упрощение решения сопутствует повышению быстродействия, что проявляется с ростом схемного параллелизма.

Развитие ЦР происходит их структурированием под одни и те же реалии Мира, т.е. его ЕР. Идет процесс сближения ЦР, их интеграции и взаимного усиления. В конечном счете, в этом состоят их особенности, составляющие ЕР.

Например, для достижения высокой производительности компьютерных систем и их компонентов наращивается множество операционных элементов, и развиваются функции выбора результатов. Те же ЦР и в том же направлении совершенствуются для построения отказоустойчивых структур.

Таким образом, для проявления ЕР следует выбирать ЦР в направлении их естественного развития в этом Мире.

Основной вывод состоит в том, что критерием выбора ЦР для решения подзадач является их непротиворечивость. Сохранение противоречий свидетельствует о недостаточном уровне развития ЦР или упущениях в их подборе.

Весь вопрос заключается в том, чтобы плыть по течению мирового развития, получая в дар ЕР, или против течения, ухудшая результат с привлечением дополнительных ЦР.

Параллелизм и приближенность, конечно, не являются единственными ЕР Мира. Можно ожидать, что подобно тому, как параллелизм проявляет приближенность, обе особенности на определенных этапах их развития будут способствовать проявлению и актуализации других ЕР Мира.

К таким наиболее заметным особенностям Мира можно отнести его динамичность, которая проявляется в ускорении процессов развития.

В этих условиях растет актуальность проблемы скрытых процессов и ограниченных возможностей их контроля, снижающих достоверность получаемых результатов.

2. КОНТРОЛЕПРИГОДНОСТЬ ЦИФРОВЫХ КОМПОНЕНТОВ

В ИУС критического применения, которые занимают передовые позиции в развитии компьютерных и информационных технологий, проблема скрытых процессов находит отражение в контролепригодности цифровых компонентов.

Под контролепригодностью понимают свойство устройства, обуславливающее приспособленность к проведению контроля его технического состояния в процессе изготовления и эксплуатации [9].

Техническое состояние цифровых устройств оценивается с использованием методов и средств тестового диагностирования. Поэтому контролепригодность традиционно относится к этой области, где называется также тестопригодностью и оценивается по управляемости и наблюдаемости устройства [10].

В рабочем диагностировании, направленном на оценку достоверности результата вычислений, проблема ограниченной контролепригодности до сих пор проявилась лишь в теории и практике построения полностью самопроверяемых схем. В рамках этой теории было введено условие самотестируемости цифровых схем, противодействующее накоплению в них скрытых неисправностей в части контроля [11].

В ИУС критического применения возможности рабочего диагностирования существенно ограничены контролепригодностью цифровых компонентов в доступном для постоянного анализа штатном режиме.

Как правило, штатный режим ИУС характеризуется высокой стабильностью поступающих от датчиков сигналов, которые после оцифровывания дают ограниченное множество двоичных кодов. Они являются входными словами цифровых компонентов ИУС, наиболее часто – компараторов, сравнивающих их с пороговыми значениями, обозначающими различные уровни опасности.

В качестве цифровых компонентов ИУС критического применения, как правило, используются одноктактные устройства, обеспечивающие высокую производительность, обрабатывая числовые данные в параллельных кодах.

Ограниченное количество входных слов в штатном режиме обуславливает низкую контролепригодность одноктактных устройств, что чревато накоплением в их схемах скрытых неисправностей, проявляющихся в критическом режиме ИУС.

3. ОЦЕНКА И ПОВЫШЕНИЕ КОНТРОЛЕПРИГОДНОСТИ

Контролепригодность цифровых компонентов в тестовом и рабочем диагностировании служит разным целям, и потому должна оцениваться с разных позиций. В тестовом диагностировании контролепригодность оценивается с целью определения возможности получения тестовой

входной последовательности, вычисляя в каждой точке схемы произведение ее управляемости на наблюдаемость. В рабочем диагностировании контролепригодность важна с позиции учета потенциальной угрозы со стороны скрытых неисправностей. При этом управляемость точки на рабочих входных последовательностях утрачивает свое значение, и контролепригодность полностью определяется только наблюдаемостью точек схемы.

Вместе с тем, понятие наблюдаемости целесообразно расширить с учетом возможности частичного исключения скрытых неисправностей.

Определение 1. Точка схемы называется частично наблюдаемой: 0-наблюдаемой или 1-наблюдаемой, если на множестве входных слов активируется путь от этой точки только при ее значении «0» или «1», соответственно. Если путь активируется при всех ее значениях, то точка называется наблюдаемой, а в противном случае ненаблюдаемой. Путь активируется при передаче изменения значения точки в контрольную точку схемы, подключаемую к схемам контроля цифрового компонента.

Определение 2. Точка схемы называется контролепригодной или частично контролепригодной, если является соответственно наблюдаемой или частично наблюдаемой, и неконтролепригодной в противном случае.

Контролепригодность цифрового компонента может быть оценена по следующей формуле:

$$C = (N_C + 0,5 N_P) / N_T,$$

где N_C , N_P и N_T – количество контролепригодных, частично контролепригодных и всех точек схемы, соответственно.

В ИУС критического применения контролепригодность цифровых компонентов необходимо обеспечивать в комплексе с рядом других требований.

Среди них наиболее часто выделяются требования, относящиеся к производительности, отказоустойчивости и сложности решения. Для эффективного решения подзадач по выполнению этих требований обеспечивающие их ЦР следует выбирать непротиворечивыми. В распространенных решениях обеспечение контролепригодности входит в противоречие с высокой производительностью, достигаемой с использованием одноктактных устройств.

Пространственный матричный параллелизм, лежащий в основе структур одноктактных устройств, с одной стороны, обеспечивает их производительность путем обработки данных в параллельных кодах, а с другой стороны, ограничивает использование точек схемы

количеством входных слов. Для ИУС критического применения такое ограничение снижает контролепригодность цифровых компонентов в штатном режиме.

Для устранения данного противоречия необходимо совместить параллелизм структур цифровых компонентов, необходимый для обеспечения высокой производительности, с многократным использованием точек схемы для каждого входного слова. Иными словами, обработка входного слова должна выполняться в течение многих тактов, т.е. последовательно разряд за разрядом. Следовательно, распараллеливание вычислений и структур цифровых компонентов необходимо выполнять с обработкой данных не в параллельных, а в последовательных кодах.

Такие решения наработаны в рамках вертикальной обработки данных [1].

Обработка параллельного кода последовательно разряд за разрядом увеличивает количество тактов выполнения операции в соответствии с разрядностью кода.

Вместе с тем, в той же мере снижается продолжительность такта, что способствует сохранению производительности при переходе от обработки параллельных кодов за один такт к многотактным вычислениям в последовательных кодах.

Возможны также компромиссные решения с последовательно-параллельной организацией вычислений. Она предусматривает разбивку числового данного на части, обрабатываемые последовательно друг за другом и параллельно по их разрядам.

Для обработки параллельных кодов наработаны многочисленные методы ускорения вычислений, например, распространения переноса в сумматорах, которые дополнительно повышают производительность одноктактных устройств.

Вместе с тем, методы ускорения вычислений, включая метод заготовки результатов, могут быть использованы и при обработке данных в последовательных кодах.

Перспективными являются также параллельно-последовательные вычисления, в которых данное разделяется на параллельно обрабатываемые потоки разрядов, а также многопоточная обработка данных в последовательных кодах. В этих решениях производительность повышается в соответствии с количеством потоков.

Переход к обработке данных в последовательных кодах позволяет также упростить ЦР, которые в одноктактных устройствах используются нерационально.

Например, матричный умножитель n -разрядных двоичных кодов, состоящий из $n(n-1)$ операционных элементов (ОЭ), выполняет умножение за $2n-2$ задержек, вносимых этими элементами [12]. Таким образом, каждый из ОЭ задействован в такте на $(2n-2)$ -ю часть его продолжительности. Матричный делитель чисел состоит из $(n+1)^2$ последовательно соединенных ОЭ [13], т.е. каждый из них используется только на $100/(n+1)^2\%$. Для $n=8$ это составляет 1%.

Возможности повышения контролепригодности цифровых компонентов при обработке данных в последовательных кодах могут быть оценены на примере цифрового компаратора для сравнения двух 16-тиразрядных двоичных чисел A и B – входного данного и порога, соответственно.

Компаратор вычисляет результат сравнения $F=0$ при $A < B$ (штатный режим) и $F=1$ в противном случае (критический режим).

Цифровой компаратор построен на FPGA в пяти вариантах 1 – 5 с использованием одного, двух, четырех, восьми и 16-ти LUT, обрабатывающих данные соответственно за 16, 8, 4, 2 и 1 тактов.

Оценка контролепригодности цифрового компаратора выполнена в штатном режиме на его программной модели с получением среднего значения на заданном множестве экспериментов.

Множество экспериментов формируется перебором значений порога B (от заданного B_{MIN} до максимального $B_{MAX} = 2^{16} - 1$). С каждым значением порога B входное данное A образует заданное количество N_A слов, изменяясь от его базового значения A_B с шагом 1. Базовое значение обновляется с каждым экспериментом, изменяясь с полным перебором от начального значения A_{MIN} до значения $B - N_A$.

В табл. 1 приведены результаты моделирования в процентах, полученные для схем 1 – 5 при $B_{MIN} = 511$, $A_{MIN} = 10$ и различных значениях N_A .

Таблица 1. Контролепригодность компаратора

N_A	1	2	3	4	5
1	100	85	69	44	26
5	100	85	84	56	34
10	100	85	84	64	38
20	100	100	92	68	42
30	100	100	92	72	42
40	100	100	92	72	42
50	100	100	92	76	46
100	100	100	94	80	48
200	100	100	94	84	53
300	100	100	95	84	57
400	100	100	95	84	57
500	100	100	95	88	59

Для сравнения в табл. 2 приведены значения контролепригодности, полученные без учета частично контролепригодных точек.

Таблица 2. Контролепригодность компаратора без учета частично контролепригодных точек

N_A	1	2	3	4	5
1	100	71	46	12	0
5	100	85	61	28	6
10	100	85	76	36	10
20	100	100	84	44	14
30	100	100	84	48	16
40	100	100	84	48	16
50	100	100	84	52	20
100	100	100	84	60	22
200	100	100	92	68	26
300	100	100	92	72	30
400	100	100	93	72	30
500	100	100	93	72	32

Сравнительный анализ данных, приведенных в таблицах, показывает на рост контролепригодности с увеличением количества слов и с понижением номера схемы, т.е. переходом от обработки параллельных кодов к вычислениям в последовательных кодах.

Параллельный компаратор (схема 5) демонстрирует низкую контролепригодность даже при значительном количестве входных слов. К тому же в основном она достигается за счет частично контролепригодных точек.

Схемы 3 и 4 достигают высоких значений контролепригодности 84% и 60% при использовании соответственно 20-ти и ста входных слов. Компаратор, выполняющий операцию сравнения за 8 тактов (схема 2), достигает 100% контролепригодности на множестве из 20-ти входных слов

Контролепригодность последовательного компаратора (схема 1) составляет 100%, начиная с одного входного слова.

Таким образом, обработка данных в последовательных кодах решает проблему низкой контролепригодности современных цифровых компонентов в составе ИУС критического применения. Причем такое решение не противоречит достижению высокой производительности.

4. ВЫВОДЫ

Важную роль в решении задач проектирования и диагностики компьютерных систем и их компонентов играет выбор ЦР, обеспечивающих получение результатов с заданными целевыми функциями. Развитие ЦР – моделей, методов и средств – демонстрирует их

структурирование под реалии Мира, среди которых выделяются параллелизм и приближенность. Критерием выбора ЦР является их непротиворечивость при решении подзадач по обеспечению требуемых целевых функций. При этом включаются ЕР, т.е. особенности ЦР, проявляющиеся в интеграции ЦР и их взаимном усилении в направлении обеспечения целевых функций подзадач.

Примером может служить решение проблемы низкой контролепригодности цифровых компонентов ИУС критического применения. Противоречие между контролепригодностью и производительностью современных устройств снимается путем распараллеливания вычислений в последовательных, а не традиционно используемых параллельных кодах.

5. СПИСОК ЛИТЕРАТУРЫ

- [1] *On Line Testing of the Safe Instrumentation and Control Systems*, A. Drozd and V. Kharchenko (Eds.), National Aerospace University by N.E. Zhukovsky "KhAI", 2012, 614 p. (in Russian)
- [2] J.G. Savchenko, *Fault Tolerant Digital Devices*, Moscow, Sovetskoye radio, 1977, 176 p. (in Russian)
- [3] A.M. Romankevich, V.N. Valuyski, V.A. Ostafin, *Structural-Time Redundancy in Control Circuits*, Kyiv, "High school", 1979, 160 p. (in Russian)
- [4] M.A. Yastrebenetsky (ed.), *NPP I&Cs: Problems of Safety*, Kyiv, Technika, 2004, 472 p. (translated in USA by NPC, 2007).
- [5] A.A. Siora, V.A. Krasnobayev, V.S. Kharchenko, *Fault Tolerant Systems with Version-Information Redundancy*, National Aerospace University "KhAI, 2009, 321 p. (in Russian)
- [6] E. Tanenbaum, *Architecture of computer, 4th ed.*, SPb, Piter, 2003, 698 p. (in Russian)
- [7] D. Goldberg, What every computer scientist should know about floating-point arithmetic, *ACM Computer Surveys*, (23) 1 (1991), pp. 5-18.
- [8] E.P. Ugrumov, *Digital Schemotechnics, 2nd edition*, SPb., BHV-Petersburg, 2004, 800 p. (in Russian)
- [9] N.S. Scherbakov, *Reliability of Digital Devices Work*, Moscow, Manufacturing Engineering, 1989, 224 p. (in Russian)
- [10] R.J. Bennets, *Design of Checkable Logical Schemes*, Moscow, Radio and Communication, 1995, 180 p. (in Russian)
- [11] D.A. Anderson, G. Metz, Design of totally self-checking check circuits for m-out-of-n codes, *IEEE Trans. Comput.*, (C-22) 3 (1977), pp. 263-269.

- [12] A.O. Melnyk, *Computer Architecture*, Lutsk: Volyn regional printing house, 2008, 470 p. (in Ukrainian)
- [13] K.G. Samofalov, A.M. Romankevich, V.N. Valuisky, Y.S. Kanevsky, M.M. Pinevich, *Applied Theory of Digital Automats*, Kyiv, "High school", 1987, 375 p. (in Russian)



Юлия Дрозд, доцент, к.т.н., доцент кафедры информационных систем Одесского национального политехнического университета.

Научные интересы – вертикальная обработка данных, естественные ресурсы проектирования и диагностирования компьютерных систем.

ютерных систем.



Александр Дрозд, профессор, д.т.н., профессор кафедры компьютерных интеллектуальных систем и сетей Одесского национального политехнического ун-та.

Научные интересы – проектирование и диагностирование встроенных систем критического применения.



Юлиан Сулима, аспирант кафедры компьютерных интеллектуальных систем и сетей Одесского национального политехнического ун-та.

Научные интересы – контролепригодность цифровых компонентов систем критического применения.

критического применения.



NATURAL RESOURCES AND THEIR USE FOR CHECKABILITY INCREASING THE DIGITAL COMPONENTS OF SAFETY-CRITICAL SYSTEMS

Julia Drozd ¹⁾, Alexander Drozd ¹⁾, Julian Sulima ²⁾

¹⁾Odessa National Politechnic University,
1, Shevchenko prospect, Odessa, 65044, Ukraine,
Drozd@ukr.net

²⁾Odessa, str. Balkovskaya, 54, mr_lemur@mail.ru

Abstract: *The models, methods and means as target resources for solving tasks for design and testing of computer systems and their components are considered. A criterion for choosing the target resources activating the natural resources for the increasing the efficiency of task solutions is determined. A problem of low checkability of digital components of safety-critical systems is examined and the ways of its solution is showed by choosing the target resources in accordance with the offered criterion. The way of elimination of a contradiction between the target resources aimed to maintain the checkability, productivity and low complexity of digital components is described. This way is based on parallelization of computations with the use of the serial codes.*

Keywords: *Natural resources, safety-critical systems, digital components, checkability, paralleling the calculations in serial codes.*

In order to solve a task (for example, in co-design or testing) the target resources (TR): the models, methods and means are used. The models and methods are related to information part of TR and the means belong to their technology one. The TR can be applied in the tasks of synthesis and analysis [1].

Except the natural resources (NR) can be used in solution of a task. Two representatives of NR are wide known: natural information redundancy and natural structural-time redundancy [2, 3].

These kinds of natural redundancy are formed during process of task solution as indirect product and they can be used for solving a task of analysis as particularities of TR in form of free present. The NR are not limited to natural information and structural time redundancy as they belong to diverse set of TR particularities.

The task is solved taking into account the requirements to productivity, reliability and limited resources. Execution of these requirements divides the task into large set of subtasks with their target functions, the TR appropriated for maintaining the target functions and schedule of execution priority. Particularities of TR used for solving the previous subtasks become NR to solve the following ones.

The tasks and TR for their solving receive

development as a system of elements and as an element of system.

First of all they are the elements such system like our Universe and are developed in accordance with its particularities, i.e. its NR.

Among such NR the parallelism and proximity of the Universe are allocated.

In particular we can retrace the stages of development if the computer systems and their digital components by the way of increasing the parallelism level and progress in approximate data processing executed as a rule in floating-point format [4, 5].

Growing level of TR parallelism expands a set of solved tasks in direction of raising their dimensions when exact models and methods lose efficiency and improve in approximate ones, i.e. more adequate to approximate Universe.

We can consider this issue examining the process of expansion of the preserved results method which increases efficiency with raising the parallelism level of solved tasks [1].

The modern co-design of the digital components on FPGA can be considered as an example of this method application. A chip is a blank for a set of circuit projects, and every project is a blank of results reserved on LUT for a set of input data.

The software is based on reserved program modules, branches of the algorithms and on permanent process of their choice.

In digital component design the method of preserved results allows simultaneously to reduce time operation and hardware overhead.

Development of TR passes by their structuring under the same particularities of Universe. This process determines narrowing of the TR, integration and mutual amplification. These particularities of TR are NR of design and testing.

In order to activation of NR it is necessary to choose the TR in direction of their natural development in this Universe. The main issue determines a criterion of TR choice for solving the subtasks: these TR should be consistent. Conservation of contradictions shows low level of the TR development or overlook in their choice.

All content of this question is to drift with the stream of Universe development receiving NR like gift or up stream degrading the result with use of additional TR.

The following particularity of Universe is its dynamics which is demonstrated in acceleration of development processes. In these conditions the actuality of problem of the latent processes and limited opportunities of their supervision reducing reliability of received results.

In safety-critical Instrumentation & Control Systems (I&CS) the problem of latent processes is shown in checkability of the digital components [1].

The I&CS are designed for operation in two modes: normal and emergency one. For most of operating time, the safety-critical I&CS runs in the normal mode. The emergency one, for which the safety-critical I&CS is designed, is a rare event as a rule and at best way never occur [6].

The main requirement to safety-critical I&CS is the ensuring and maintaining their functional safety which is traditionally solved by use development of the fault-tolerant structures [7].

However they do not guarantee calculation of reliable results owing to low checkability of digital components.

The checkability of a digital component in on-line testing can be estimated by amount of circuit points which are observable in a normal mode.

In safety-critical I&CS it is necessary to provide the checkability of the digital components on the limited set of input words in a normal mode in a complex with other requirements such as productivity, fault tolerance and low complexity.

In traditional solutions the maintaining of checkability and low complexity contradicts the high productivity achievable with use of simultaneous digital components.

The contradictions between the checkability and

productivity, productivity and complexity are eliminated by paralleling the calculations in series codes.

Data processing in series codes multiple simplifies TR which in simultaneous digital components are used irrationally.

For example, operational elements of a 8-bit iterative array divider of codewords are used in clock cycle only on 1% of time.

Opportunities of increase in checkability of digital components using data processing in series codes are appreciated by the example of the 16-bit digital comparator for comparison of input number A with a threshold B .

The comparator calculates result of comparison $F = 0$ for $A < B$ (a normal mode) and $F = 1$ otherwise (an emergency mode).

The digital comparator is constructed on FPGA in five variants with use of one, two, four, eight and sixteen LUT, processing the data accordingly for 16, 8, 4, 2 and 1 clock cycles.

The estimation of the comparator checkability is executed in a normal mode on program model with reception of average value on set of values of threshold B . For each of them operand A forms the set of the input words located successively.

Simulation of digital comparator demonstrates low checkability in case of parallel code processing and 100% of checkability beginning of one input word at execution of calculations in series codes.

REFERENCES

- [1] *On Line Testing of the Safe Instrumentation and Control Systems*, A. Drozd and V. Kharchenko (Eds.), National Aerospace University by N.E. Zhukovsky "KhAI", 2012, 614 p. (in Russian)
- [2] J.G. Savchenko, *Fault Tolerant Digital Devices*, Moscow, Sovetskoye radio, 1977, 176 p. (in Russian)
- [3] A.M. Romankevich, V.N. Valuyski, V.A. Ostafin, *Structural-Time Redundancy in Control Circuits*, Kyiv, "High school", 1979, 160 p. (in Russian)
- [4] E. Tanenbaum, *Architecture of computer, 4th ed.*, SPb, Piter, 2003, 698 p. (in Russian)
- [5] D. Goldberg, What every computer scientist should know about floating-point arithmetic, *ACM Computer Surveys*, (23) 1 (1991), pp. 5-18.
- [6] M.A. Yastrebenetsky (ed.), *NPP I&Cs: Problems of Safety*, Kyiv, Technika, 2004, 472 p. (translated in USA by NPC, 2007).
- [7] A.A. Siora, V.A. Krasnobayev, V.S. Kharchenko, *Fault Tolerant Systems with Version-Information Redundancy*, National Aerospace University "KhAI", 2009, 321 p. (in Russian)